

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-277689

(43)Date of publication of application : 06.10.2000

(51)Int.Cl.

H01L 27/00  
H01L 21/3205  
H01L 21/60  
H01L 25/065  
H01L 25/07  
H01L 25/18

(21)Application number : 11-086152

(71)Applicant : SONY CORP

(22)Date of filing : 29.03.1999

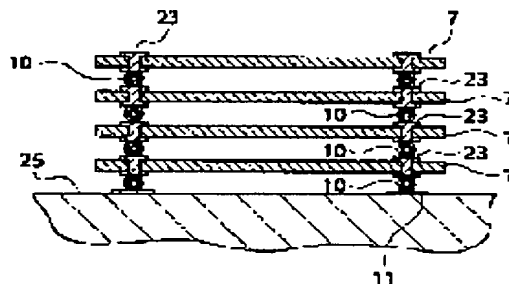
(72)Inventor : YANAGIDA TOSHIHARU

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which can realize ultra thin three- dimensional mounting of a semiconductor device component with high reliability and high function, and its manufacturing method.

**SOLUTION:** A semiconductor device wafer on which LSIs are formed is prepared. The rear side of the semiconductor device wafer is machined so as to make the thickness of the semiconductor device wafer not larger than 200  $\mu\text{m}$ , through-holes are formed in the semiconductor device wafer, wiring plugs 23 are formed in the through-holes and the semiconductor device wafer is diced to be divide into semiconductor chips 7 with wiring plugs 23. A plurality of semiconductor chips 7 are mounted on a printed wiring board 25 with bumps 10 connected to the wiring plugs 23 therebetween.



## LEGAL STATUS

[Date of request for examination] 27.12.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

**BEST AVAILABLE COPY**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-277689  
(P2000-277689A)

(43)公開日 平成12年10月 6 日 (2000. 10. 6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L 27/00	3 0 1	H 0 1 L 27/00	3 0 1 B 5 F 0 3 3
21/3205		21/88	J
21/60		21/92	6 0 2 A
25/065		25/08	B
25/07			

審査請求 未請求 請求項の数11 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願平11-86152

(22)出願日 平成11年 3 月29日 (1999. 3. 29)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 柳田 敏治

東京都品川区北品川 6 丁目 7 番35号ソニー  
株式会社内

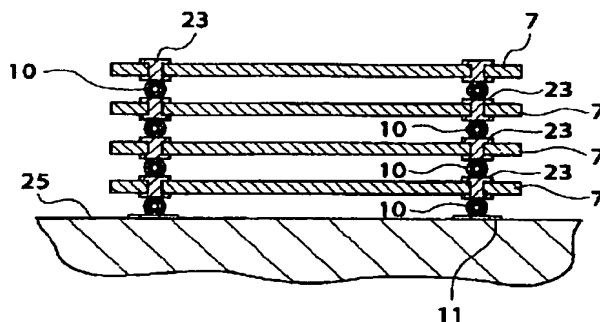
Fターム(参考) 5F033 HH11 JJ11 KK11 MM30 NN40  
PP27 PP28 QQ19 QQ37 QQ47  
QQ48 QQ53 QQ54 RR21 SS22  
TT07 VV10 WW02 XX01

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 半導体デバイス部品の超薄型積層 3 次元実装を高い信頼性と高機能で実現できる半導体装置及びその製造方法を提供する。

【解決手段】 本発明に係る半導体装置の製造方法は、L S I が形成された半導体デバイスウェハを準備し、前記半導体デバイスウェハを裏面から加工することにより、該半導体デバイスウェハの厚さを 2 0 0 μ m 以下にし、前記半導体デバイスウェハに貫通孔を形成し、前記貫通孔の内に配線プラグ 2 3 を形成し、前記半導体デバイスウェハをダイシングすることにより、配線プラグ 2 3 を備えた半導体チップ 7 に分割し、プリント配線基板 2 5 上に、配線プラグ 2 3 と接続するバンプ 1 0 を介して複数の半導体チップ 7 を実装するものである。



## 【特許請求の範囲】

【請求項 1】 LSI が形成された半導体デバイスウェハを準備する工程と、

前記半導体デバイスウェハを裏面から加工することにより、該半導体デバイスウェハの厚さを  $200\mu\text{m}$  以下にする工程と、

前記半導体デバイスウェハに貫通孔を形成する工程と、  
前記貫通孔の内に配線プラグを形成する工程と、  
を具備することを特徴とする半導体装置の製造方法。

【請求項 2】 表面に LSI が形成された半導体デバイスウェハであって、裏面から加工されることにより厚さが  $200\mu\text{m}$  以下とされた半導体デバイスウェハと、  
前記半導体デバイスウェハに形成された貫通孔と、  
前記貫通孔の内に形成された配線プラグと、  
を具備することを特徴とする半導体装置。

【請求項 3】 LSI 及びその周辺に位置する電極パッドが形成された半導体デバイスウェハを準備する工程と、

前記半導体デバイスウェハを裏面から加工することにより、該半導体デバイスウェハの厚さを  $200\mu\text{m}$  以下にする工程と、

前記半導体デバイスウェハの両面に絶縁材料を塗付する工程と、

前記絶縁材料、電極パッド及び前記半導体デバイスウェハを貫通する穴を形成する工程と、

前記穴の内部に、前記半導体デバイスウェハの表面と裏面とをつなぐ配線プラグを形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 4】 前記穴を形成する工程の後に、再度絶縁材料を前記半導体デバイスウェハの両面に塗付することにより、前記穴の内部を該絶縁材料で埋め込み、この穴の内部の絶縁材料に前記穴より小さい開口径を有する貫通孔を形成する工程をさらに含むことを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 LSI 及びその周辺に位置する電極パッドが形成された半導体デバイスウェハを準備する工程と、

前記半導体デバイスウェハを裏面から加工することにより、該半導体デバイスウェハの厚さを  $200\mu\text{m}$  以下にする工程と、

前記半導体デバイスウェハの両面に絶縁材料を塗付する工程と、

前記絶縁材料、電極パッド及び前記半導体デバイスウェハを貫通する穴を形成する工程と、

前記半導体デバイスウェハの両面に再度絶縁材料を塗付することにより、前記穴の内部を該絶縁材料で埋め込む工程と、

前記穴の内部の絶縁材料に前記穴より小さい開口径を有する貫通孔を形成すると共に、前記穴の内壁上に前記絶縁材料を残す工程と、

前記貫通孔の内部、前記半導体デバイスウェハの表面と裏面とをつなぐ配線層を形成する工程と、

前記配線層をパターンニングすることにより、前記半導体デバイスウェハの表面及び裏面に電極パッドを備えると共に前記半導体デバイスウェハの表面と裏面とをつなぐ配線プラグを形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 6】 前記配線プラグは、無電解メッキ処理及び電解メッキ処理を順次加えることにより形成されることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記絶縁材料が液状樹脂又は有機レジスト材料であることを特徴とする請求項 3 又は 5 記載の半導体装置の製造方法。

【請求項 8】 LSI が形成された半導体デバイスウェハを準備する工程と、

前記半導体デバイスウェハを裏面から加工することにより、該半導体デバイスウェハの厚さを  $200\mu\text{m}$  以下にする工程と、

前記半導体デバイスウェハに貫通孔を形成する工程と、  
前記貫通孔の内に配線プラグを形成する工程と、

前記半導体デバイスウェハをダイシングすることにより、前記配線プラグを備えた半導体チップに分割する工程と、

プリント配線基板上に、前記配線プラグと接続する接続手段を介して複数の半導体チップを積層して実装する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 9】 前記半導体デバイスウェハを裏面から加工する際の加工方法は、機械研削加工、化学的機械研磨加工又はエッチング加工のいずれかであることを特徴とする請求項 1、3、5 及び 8 のうちいずれか 1 項記載の半導体装置の製造方法。

【請求項 10】 前記接続手段は、はんだボールバンプ、ワイヤバンプ、異方性導電膜及び導電性ペーストのうち少なくとも一つを用いたものであることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 11】 表面にランドを備えたプリント配線基板と、

前記プリント配線基板上に、接続手段を介して積層して実装された厚さ  $200\mu\text{m}$  以下の複数の半導体チップと、

を具備し、

前記半導体チップは、それを貫通する貫通孔と、この貫通孔内に形成された配線プラグと、を備えており、  
前記ランドと前記配線プラグとは前記接続手段により電気的に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子機器の製造に適用される半導体装置及びその製造方法に関する。特に

は、電子機器の超薄型軽量化を実現するための半導体デバイスウェハ及びそれを3次元に実装した構造を有する半導体装置及びその製造方法に関する。

#### 【0002】

【従来の技術】電子機器の小型化をより一層進展させるためには、半導体デバイス部品の実装密度を如何に向上させるかが重要なポイントとなる。半導体ICに関しても、従来のパッケージ実装の代替として、フリップチップ実装等プリント配線基板にLSIチップを直接マウントする様な高密度実装技術の開発が世の中で盛んに行われている。

【0003】フリップチップによる接続法の一つとして、半導体ICのA1電極パッド上にはんだボールパンクを形成して実装する方法がある。このはんだパンクを所定の電極上に形成する方法としては、電解メッキを用いる方法がある。この方法には、下地材料層の表面状態や電気抵抗のわずかなばらつきによって成膜されるはんだの厚みに影響を受けるため、ICチップ内で均一に高さの揃ったはんだボールパンクの形成を行うことが基本的に難しいという問題がある。

【0004】このようなはんだの高さバラツキを抑制できる製法としては、真空蒸着による成膜とフォトリソ膜のリフトオフとを用いたパターン形成方法がある。この方法によるはんだボールパンクの製造工程の一例を図9に示している。

【0005】図9(a)～(e)は、A1電極パッド上にはんだボールパンクを形成する方法を示す断面図である。

【0006】まず、図9(a)に示すように、シリコン等の半導体基体1上にスパッタリングによりAl-Cu合金等の膜を堆積し、この膜をエッチングすることにより前記半導体基体1上にはA1電極パッド2が形成される。次に、A1電極パッド2を含む全面上にシリコン窒化膜又はポリイミド等からなる表面保護膜3を被覆した後、この表面保護膜3に電極パッド2上に位置する開口部3aをエッチングにより形成する。次に、この開口部3a内及び表面保護膜3上にBLM(Ball Limiting Metal)膜4をスパッタリングにより成膜する。このようにしてフリップチップICの接合部が形成される。なお、このBLM膜4はCr、Cu、Au等からなる金属多層膜である。

【0007】この後、図9(b)に示すように、表面保護膜3の上に、BLM膜4上に位置する開口部5を有するレジストパターン6を設ける。次に、図9(c)に示すように、開口部5内を含む全面上にはんだ蒸着膜13を成膜する。

【0008】この後、図9(d)に示すように、レジストパターン6のリフトオフによって不要なはんだ蒸着膜をレジストパターンと共に除去することにより、BLM膜4上には所望のはんだ蒸着膜のパターンが形成される。

次に、図9(e)に示すように、熱処理によりはんだを溶融させることによって、最終的にBLM膜4上には高融点はんだボールパンク14が形成される。

【0009】上述したような本発明者らが提案してきた製造技術を用いてパンクが形成されたデバイスチップをプリント配線基板にフリップチップ実装することで、従来のモールド樹脂でパッケージングされたデバイスを実装した場合に比べて、マザー基板を小型化できる。このため、本発明者らは様々な電子機器の小型軽量化の実現に貢献している。

#### 【0010】

【発明が解決しようとする課題】しかしながら、ICカード、携帯電話、PDA(Personal Digital Assistant)等を初めとする携帯電子機器については、デバイスの実装スペースをできる限り少なくしたいところであり、これまで主として目指してきた2次元的小型省スペース化に加えて、高さ方向にも更なる薄型化ができるような半導体デバイスの高密度な積層3次元実装技術を確立することが切望されている。

【0011】本発明は上記のような事情を考慮してなされたものであり、その目的は、半導体デバイス部品の超薄型積層3次元実装を高い信頼性と高機能で実現できる半導体装置及びその製造方法を提供することにある。

#### 【0012】

【課題を解決するための手段】上記課題を解決するため、本発明の第1態様に係る半導体装置の製造方法は、LSIが形成された半導体デバイスウェハを準備する工程と、前記半導体デバイスウェハを裏面から加工することにより、該半導体デバイスウェハの厚さを200μm以下にする工程と、前記半導体デバイスウェハに貫通孔を形成する工程と、前記貫通孔の内に配線プラグを形成する工程と、を具備することを特徴とする。

【0013】本発明の第2態様に係る半導体装置は、表面にLSIが形成された半導体デバイスウェハであって、裏面から加工されることにより厚さが200μm以下とされた半導体デバイスウェハと、前記半導体デバイスウェハに形成された貫通孔と、前記貫通孔の内に形成された配線プラグと、を具備することを特徴とする。

【0014】本発明の第3態様に係る半導体装置の製造方法は、LSI及びその周辺に位置する電極パッドが形成された半導体デバイスウェハを準備する工程と、前記半導体デバイスウェハを裏面から加工することにより、該半導体デバイスウェハの厚さを200μm以下にする工程と、前記半導体デバイスウェハの両面に絶縁材料を塗付する工程と、前記絶縁材料、電極パッド及び前記半導体デバイスウェハを貫通する穴をレーザー加工により形成する工程と、前記穴の内部に、前記半導体デバイスウェハの表面と裏面とをつなぐ配線プラグを形成する工程と、を具備することを特徴とする。また、前記半導体デバイスウェハを裏面から加工する際の加工方法は、ウ

ェハを薄型化する加工方法であれば、どのような加工方法を用いることも可能であるが、例えば、機械研削（グラインド）、化学的機械研磨又はエッチング等を用いることが好ましい。

【0015】第3態様に係る半導体装置の製造方法では、レーザー加工前のウェハの両面に予め絶縁材料を塗布しておくことにより、厚さの薄いウェハに対して微細な貫通孔をレーザー加工により形成する際、レーザーの入射する加工面の開口端で貫通孔のテーパ角が大きくなることを抑制できる。その結果、より垂直に近い断面形状を有する貫通孔を安定して形成することができ、ウェハの表面と裏面とを繋ぐ貫通孔を高精度で加工することができる。従って、半導体デバイスをダイレクトで積層実装するための配線プラグの形成が可能となる。よって、電子機器の超小型化、超薄型化を実現するための半導体デバイス部品の薄型高密度実装が可能となる。

【0016】第3態様に係る半導体装置の製造方法においては、前記穴を形成する工程の後に、再度絶縁材料を前記半導体デバイスウェハの両面に塗付することにより、前記穴の内部を該絶縁材料で埋め込み、この穴の内部の絶縁材料に前記穴より小さい開口径を有する貫通孔を形成する工程をさらに含むことが好ましい。

【0017】上記半導体装置の製造方法では、半導体デバイスウェハに貫通した穴を形成した後、再び絶縁材料をウェハ両面に塗付することにより、前記穴が絶縁材料で埋め込まれるので、次に、その穴内部の絶縁材料に対して、その穴の径より小さい開口径を有する貫通孔を形成することができる。これにより、前記穴の側壁内部に絶縁材料を均等な厚さで残すことができる。なお、再び絶縁材料を塗布した後に、必要に応じて研磨等でウェハ両面の絶縁材料の厚さを調整することにより、より精度の高い貫通孔の加工を安定して実現できる。

【0018】また、前記穴の側壁内部に絶縁材料を均等な厚さで残す理由は、後工程で半導体デバイスウェハの表面と裏面とをつなぐ配線プラグを形成する際、この配線プラグと半導体デバイスウェハとの絶縁を確実に実現するためであり、また後に半導体デバイスチップを積層して実装した際に、積層デバイス間を接続する配線プラグでの電流リークを確実に防止するためである。

【0019】本発明の第4態様に係る半導体装置の製造方法は、LSI及びその周辺に位置する電極パッドが形成された半導体デバイスウェハを準備する工程と、前記半導体デバイスウェハを裏面から加工することにより、該半導体デバイスウェハの厚さを200 $\mu$ m以下にする工程と、前記半導体デバイスウェハの両面に絶縁材料を塗付する工程と、前記絶縁材料、電極パッド及び前記半導体デバイスウェハを貫通する穴を形成する工程と、前記半導体デバイスウェハの両面に再度絶縁材料を塗付することにより、前記穴の内部を該絶縁材料で埋め込む工程と、前記穴の内部の絶縁材料に前記穴より小さい開口

径を有する貫通孔を形成すると共に、前記穴の内壁上に前記絶縁材料を残す工程と、前記貫通孔の内部、前記半導体デバイスウェハの表面と裏面とをつなぐ配線層を形成する工程と、前記配線層をパターンニングすることにより、前記半導体デバイスウェハの表面及び裏面に電極パッドを備えたと共に前記半導体デバイスウェハの表面と裏面とをつなぐ配線プラグを形成する工程と、を具備することを特徴とする。

【0020】第4態様に係る半導体装置の製造方法においては、前記配線プラグは、無電解メッキ処理及び電解メッキ処理を順次加えることにより形成されることが好ましい。

【0021】上記半導体装置の製造方法では、薄型化された半導体デバイスウェハに対して、まず無電解メッキ処理により貫通孔の内壁を含めたウェハ表面にメタル（例えばCu）のシード層を薄く形成し、その後、そのシード層を電極として電解メッキを施すことにより、貫通孔を埋め込みながら、ウェハ全面にメタル配線層を形成する。そして、メタル配線層上にリソグラフィ法によってレジストパターンを形成した後、薬液によるエッチング処理をウェハ両面に加えることにより、半導体デバイスウェハの両面をつなぐ配線プラグが形成され、この配線プラグの両端には積層実装用の電極パッドが形成される。

【0022】本発明の第3態様又は第4態様に係る半導体装置の製造方法においては、前記絶縁材料が液状樹脂又は有機レジスト材料であることが好ましい。この液状樹脂としては、エポキシ系樹脂、シリコン系樹脂又はフェノール系樹脂等を用いることが好ましい。

【0023】本発明の第5態様に係る半導体装置の製造方法は、LSIが形成された半導体デバイスウェハを準備する工程と、前記半導体デバイスウェハを裏面から加工することにより、該半導体デバイスウェハの厚さを200 $\mu$ m以下にする工程と、前記半導体デバイスウェハに貫通孔を形成する工程と、前記貫通孔の内に配線プラグを形成する工程と、前記半導体デバイスウェハをダイシングすることにより、前記配線プラグを備えた半導体チップに分割する工程と、プリント配線基板上に、前記配線プラグと接続する接続手段を介して複数の半導体チップを積層して実装する工程と、を具備することを特徴とする。

【0024】第5態様に係る半導体装置の製造方法では、薄型化した半導体デバイスウェハをチップに切り出し、プリント配線基板上に複数の半導体チップを積層して実装することができる。そして、原理上は、何枚でも半導体チップを多段に積層実装することが可能であり、また、予めチップに薄型化加工を施しているため、多段に積層してもデバイス実装高さを低く抑えることができ、高い機能を有する半導体デバイスモジュールを提供できる。

【0025】第5態様に係る半導体装置の製造方法において、前記接続手段は、はんだボールバンプ、ワイヤバンプ、異方性導電膜及び導電性ペーストのうち少なくとも一つを用いたものであることが好ましい。

【0026】本発明の第6態様に係る半導体装置は、表面にランドを備えたプリント配線基板と、前記プリント配線基板上に、接続手段を介して積層して実装された厚さ200 $\mu$ m以下の複数の半導体チップと、を具備し、前記半導体チップは、それを貫通する貫通孔と、この貫通孔内に形成された配線プラグと、を備えており、前記

ランドと前記配線プラグとは前記接続手段により電氣的に接続されていることを特徴とする。

【0027】尚、本発明は、高性能、高信頼性、小型、軽量が要求される今後の半導体装置の製造に極めて有効である。

#### 【0028】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図1～図6は、本発明の第1の実施の形態による半導体装置の製造方法を示す図である。

【0029】第1の実施の形態は、半導体デバイス部品の実装工程に本発明を適用したものである。具体的には、機械研削（グラインド）と化学的機械研磨（ケミカルメカニカルポリッシュ）を用いてシリコンウェハの裏面薄型化加工を行った後、LSIの周辺に配置された電極パッドに対して、シリコンウェハを貫通するメタルビア配線を形成し、はんだボールを接合手段として複数の薄型半導体チップを互いに接合し、この薄型半導体チップをマザー基板上に積層3次元実装した例である。

【0030】図1に示すように、まず、予めLSIを作り込んだシリコンデバイスウェハ22を準備し、このウェハ22のLSIが作り込まれた面（表面）に表面保護テープ15を貼り付ける。この後、機械研削装置31の定盤32上にウェハ22をセットする。この際、表面保護テープ15が定盤32に接触するようにウェハ22をセットする。また、この時（研削加工前）のシリコンウェハ22の裏面は、図3（a）に示すように、多くのキズ16が形成された状態にある。この裏面キズ16は、LSIを作り込むためのウェハ前工程で数多くのプロセスを経ているため不可避免的に形成されるものである。

【0031】次に、ウェハ22を回転させながらウェハ22の裏面を回転する砥石18により以下の条件で研削（バックグラインド）加工する。これにより、図3

（b）に示すように、ウェハ22が厚さ110 $\mu$ mまで薄型化加工され、ウェハ22の裏面キズ16が研削除去される。

#### 【0032】

砥石送り速度 : 150 $\mu$ m/min

砥石回転数 : 2500rpm

研削後のウェハ厚 : 110 $\mu$ m（削り代：約510

$\mu$ m）

【0033】この後、図2に示すように、この薄型化加工されたウェハ22を化学的機械研磨装置34のウェハキャリア21にセットする。この際、表面保護テープ15がウェハキャリア21に接触するようにウェハ22をセットする。

【0034】次に、ウェハ22を回転させながらウェハ22の裏面を回転する定盤35により以下の条件でポリッシュ研磨し、仕上げ処理を行う。この際、定盤35上には研磨布（クロス）20が貼り付けられており、この研磨布20上には研磨溶剤（スラリー）19が吐出されており、ウェハ22には定盤35側に圧力が加えられている。これにより、ウェハ22の裏面に新たに形成されていた研削ダメージが除去され、厚さ100 $\mu$ mまで薄型化加工されたウェハ22の機械的強度を向上させることができる。

#### 【0035】

ウェハ回転速度 : 80rpm

定盤の回転速度 : 80rpm

研磨圧力 : 400g/cm<sup>2</sup>

揺動速度 : 2mm/sec

スラリー供給速度 : 40ml/min

削り代 : 10 $\mu$ m

【0036】この後、図4（a）に示すように、薄型化加工の終了したシリコンデバイスウェハ22から表面保護テープ15を剥離する。この時のウェハ22は、LSIが形成され、薄型化加工された状態である。そして、図4及び図5に示す貫通ビア配線を形成する工程に進む。但し、図中では、シリコン基板1に作り込んだLSIの図示を省略し、デバイスチップ単位の図及びチップ周辺に配置されたA1電極パッド2のみを表記している。なお、図4及び図5は、薄型化加工をした半導体デバイスに貫通ビア配線を形成するプロセスの概略をその工程順に示す断面図である。

【0037】次に、図4（b）に示すように、シリコン基板1の両面にエポキシ系の液状樹脂8を厚さ約20 $\mu$ m程度塗布し、熱硬化させる。これにより、ウェハ全面にエポキシ系樹脂8がコーティングされ、キュアされた状態となる。

【0038】この後、図4（c）に示すように、チップ周辺に配置されたA1電極パッド2の中心を狙い、レーザー加工によりエポキシ系樹脂8、A1電極パッド2及び薄型シリコン基板1を貫通する直径約90 $\mu$ mのビアホール（貫通穴）8aを形成する。この際、高調波変調をかけたUV-YAGレーザー加工装置（図示せず）を用いる。このUV-YAGレーザーの波長は0.355 $\mu$ mであり、UV-YAGレーザー加工装置としては例えばESI社Model]5100を用いることが望ましい。

【0039】レーザー加工前にシリコン基板1の両面に液状樹脂を予めコーティングしておく理由は、レーザー

が入射する加工面の開口端で屑落ちが生じてホールの上  
 部角が大きくなることを抑制し、より垂直に近い断面  
 形状を有すビアホール 8a を高い精度で形成するため  
 である。

【0040】次に、図 4 (d) に示すように、シリコン  
 基板 1 の両面に再度エポキシ系の液状樹脂 28 を 20  $\mu$   
 m より厚く塗布し、熱硬化させることにより、前記ビア  
 ホール 8a の内部には樹脂 28 が埋め込まれる。つま  
 り、貫通穴 8a を樹脂 28 で充填した状態である。

【0041】この後、シリコン基板 1 を例えば前述した  
 図 2 に示す化学的機械研磨装置にセットし、図 5 (e)  
 に示すように、シリコン基板 1 の両面のエポキシ系樹脂  
 28 を研磨除去し、このエポキシ系樹脂 28 を薄く平坦  
 化する。この際、シリコン基板 1 の両面に厚さ約 40  $\mu$   
 m 程度のエポキシ系樹脂 8, 28 を残す。

【0042】次に、図 5 (f) に示すように、エポキシ  
 系樹脂 28 が埋め込まれたビアホール 8a の中心を狙  
 い、前記 UV-YAG レーザー加工装置を用いてビーム  
 径を絞ったレーザーによる穴加工を行う。これにより、  
 ビアホール 8a 内のエポキシ系樹脂 28 を貫通する直径  
 約 50  $\mu$  m のビアホール 28a が形成されると共に、ビ  
 アホール 8a の内壁に厚さ約 20  $\mu$  m のエポキシ系樹脂  
 28 からなる絶縁層が均一に形成される。

【0043】この後、例えば、Cu の無電解メッキ処理  
 を施して、表面にシード層を形成してから、これを電極  
 として Cu の電解メッキ処理を行う。これにより、貫通  
 ビアホール内に Cu プラグを形成する。このとき、前述  
 の液状樹脂の塗布量、研磨量、レーザー加工径を予め最  
 適化しておくことにより、貫通ビアホール内の Cu プラ  
 グがボイドを生じることなく充填することができる。

【0044】そして、最後にリソグラフィ工法による  
 マスク形成とエッチング処理をウェハ両面に行なうこ  
 とで、図 5 (g) に示すように、ビアホール 28a 内に  
 は、半導体デバイスを貫通するビア金属プラグ 23 及  
 びその両端に外部接続用の電極パッドが形成される。

【0045】以上のようにして貫通ビア配線プラグ 23  
 を形成した薄型デバイスウェハをダイシングしてチップ  
 毎に分割することにより、図 6 に示す積層 3 次元実装用  
 の薄型半導体デバイスチップ 7 が完成する。

【0046】この後、図 6 に示すように、金属配線プ  
 ラグ 23 の電極パッド上に接続手段として例えばはんだ  
 ボール bumps 10 を形成する。そして、Cu ランド 11  
 を備えたプリント配線基板 (マザー基板) 25 を準備  
 し、このマザー基板 25 上に半導体デバイスチップ 7 を  
 位置合わせし、マザー基板 25 上に 1 層目のチップ 7 を  
 実装する。これにより、1 層目のチップ 7 のはんだボ  
 ール bumps 10 と Cu ランド 11 とが電氣的に接続され  
 る。

【0047】次に、1 層目のチップ 7 上に 2 層目の半導  
 体デバイスチップ 7 を実装し、このチップ 7 上に 3 層目

の半導体デバイスチップ 7 を実装し、このチップ 7 上に  
 4 層目の半導体デバイスチップ 7 を実装する。これによ  
 り、1 層目のチップ 7 乃至 4 層目のチップ 7 それぞれの  
 メタル配線プラグ 23 が、電極パッド及びはんだボ  
 ール bumps 10 により互いに電氣的に接続される。このよ  
 うにしてマザー基板 25 上に実装高さが極めて低い半導  
 体デバイスが積層 3 次元実装される。

【0048】上記第 1 の実施の形態によれば、半導体デ  
 バイス部品の超薄型積層 3 次元実装を高い信頼性と高機  
 能で実現できるようになり、電子機器の製品セットの更  
 なる超小型軽薄化に貢献することができる。

【0049】また、本実施の形態では、デバイスチップ  
 間の配線の引き回し長さを従来の平面実装基板やワイヤ  
 接続の積層実装基板等比べて極端に短くできる。即  
 ち、LSI の電極パッドから Au ワイヤを引き回した  
 り、パッケージのリードフレームを介在させない実装が  
 可能となるため、デバイスチップを基板実装した際の基  
 板上でのチップ間配線長を大幅に短縮できる。このた  
 め、配線部のインダクタンスを低減できることによる信  
 号遅延を抑えた高速信号処理を可能とし、将来の高速高  
 周波デバイスへの適用が大いに有効な実装技術となり、  
 高機能な半導体デバイス部品の製造することができる。  
 したがって、本実施の形態によるデバイスを用いて組み  
 立てられる最終的な電子機器の製品セットに関しても、  
 IC カード、携帯電話、PDA、ノートパソコン等を初  
 めとする携帯電子機器の更なる超小型化軽薄化・高機能  
 化の実現に大いに貢献することができる。

【0050】図 1、図 3 ~ 図 5、図 7 及び図 8 は、本発  
 明の第 2 の実施の形態による半導体装置の製造方法を示  
 す図である。なお、第 2 の実施の形態の製造プロセスで  
 第 1 の実施の形態と重複する部分は説明を省略する。

【0051】第 2 の実施の形態は、第 1 の実施の形態と  
 同様に、半導体デバイス部品の実装工程に本発明を適用  
 したものである。具体的には、機械研削 (グランド) と  
 スピンエッチングを用いてシリコンウェハの裏面薄型  
 化加工を行った後、LSI の周辺に配置された電極パ  
 ッドに対して、シリコンウェハを貫通するメタルビア配  
 線を形成し、ACF (異方性導電膜) を接合手段として複  
 数の薄型半導体チップを互いに接合し、この薄型半導  
 体チップをマザー基板上に積層 3 次元実装した例である。

【0052】図 1 に示すように、ウェハ 22 を回転させ  
 ながらウェハ 22 の裏面を回転する砥石 18 により以下  
 の条件で研削加工する。これにより、図 3 (b) に示す  
 ように、ウェハ 22 が厚さ 150  $\mu$  m まで薄型化加工さ  
 れ、ウェハ 22 の裏面キズ 16 が研削除去される。

【0053】

砥石送り速度 : 150  $\mu$  m / min

砥石回転数 : 2500 rpm

研削後のウェハ厚 : 150  $\mu$  m (削り代: 約 475  $\mu$  m)

【0054】この後、この薄型化加工されたウェハ22を図8に示すスピネッチング装置におけるプロセスチャンパー40内のウェハチャック41にセットし、ウェハ22を回転させながらウェハ22の裏面に例えばフッ酸と硝酸の混合液(薬液)24を供給し、以下の条件でエッチングすることにより、ウェハ裏面の仕上げ処理を行なう。これにより、ウェハ22の裏面に形成されていた研削ダメージが除去され、厚さ100 $\mu$ mまで薄型化加工されたウェハ22の機械的強度を向上させることができる。

#### 【0055】

ウェハ回転速度 : 2000rpm  
薬液組成 : HF/HNO<sub>3</sub>/H<sub>2</sub>O = 1/1/8  
薬液供給量 : 40l/min  
ウェハ削り代 : 50 $\mu$ m

【0056】次に、第1の実施の形態と同様に、図4及び図5に示すプロセス工程を経て、貫通ビア配線プラグ23を有する積層3次元実装用の薄型デバイスウェハを作製する。この後、メタル配線プラグ23上の電極パッドに接続手段として例えばAuワイヤボンパが形成される。

【0057】以上のようにして貫通ビア配線プラグ23を形成した薄型デバイスウェハをダイシングしてチップ毎に分割することにより、図7に示す積層3次元実装用の薄型半導体デバイスチップ7が完成する。

【0058】この後、図7に示すように、Cuランド11を備えたプリント配線基板(マザー基板)25を準備し、このマザー基板25上に半導体デバイスチップ7を位置合わせする。次に、マザー基板25上に1層目のチップ7を実装する。この際のチップ7のAuワイヤボンパ12とCuランド11との接合手段として例えばACF(異方性導電膜)12が用いられる。つまり、1層目のチップ7のボンパ12とCuランド11とがACF9により電気的に接続される。

【0059】この後、1層目のチップ7上にACF9を介して2層目のチップ7を実装し、このチップ7上にACF9を介して3層目のチップ7を実装し、このチップ7上にACF9を介して4層目のチップ7を実装する。これにより、1層目のチップ7乃至4層目のチップ7それぞれのメタル配線プラグ23が、Auワイヤボンパ12及びACF9により互いに電気的に接続される。このようにしてマザー基板25上に実装高さが極めて低い半導体デバイスが積層3次元実装される。

【0060】上記第2の実施の形態においても第1の実施の形態と同様の効果を得ることができる。

【0061】尚、本発明は上記実施の形態に限定されず、種々変更して実施することが可能である。例えば、半導体装置の構造やそれに使用する材料、プロセス処理装置、プロセス処理条件等は、発明の主旨を逸脱しない

範囲で適宜選択可能である。

【0062】また、上記第1の実施の形態では、シリコン基板1の両面にエポキシ系の液状樹脂8、28を塗布しているが、シリコン基板1の両面に有機レジスト材料等を塗布することも可能である。

【0063】また、上記第1、第2の実施の形態では、貫通ビアメタル配線の形成までを全てウェハ状態で製造することを前提に説明しているが、必要に応じて、途中の工程でチップにダイシングしておくことも可能である。

【0064】また、上記第2の実施の形態では、薄型化ウェハの仕上げ処理として行なうエッチングに、薬液を用いたウェットエッチングの例を示しているが、プラズマ処理装置を用いたハロゲン系ガスによるドライエッチングを用いることも可能である。

#### 【0065】

【発明の効果】以上説明したように本発明によれば、半導体デバイスウェハを裏面から加工することにより、該半導体デバイスウェハの厚さを200 $\mu$ m以下にし、前記半導体デバイスウェハに貫通孔を形成し、前記貫通孔の内に配線プラグを形成する。したがって、半導体デバイス部品の超薄型積層3次元実装を高い信頼性と高機能で実現できる半導体装置及びその製造方法を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1又は第2の実施の形態による半導体装置の製造方法においてシリコンウェハの裏面薄型化加工に用いる機械研削装置(バックグラインダー)の概略を示す斜視図である。

【図2】本発明の第1の実施の形態による半導体装置の製造方法において薄型化加工したウェハの仕上げ加工に用いる化学的機械研磨装置(ポリッシュ研磨装置)の概略を示す断面図である。

【図3】図1に示す機械研削装置によるウェハの裏面加工の様子を示すものであり、(a)は、機械研削装置で加工する前のウェハの表面に保護テープを貼り付けた状態を示す断面図であり、(b)は、機械研削装置でウェハの裏面キズを研削除去した後の状態を示す断面図である。

【図4】本発明の第1又は第2の実施の形態による半導体装置の製造方法において薄型化加工をした半導体デバイスに貫通ビア配線を形成する工程を示す断面図である。

【図5】本発明の第1又は第2の実施の形態による半導体装置の製造方法において薄型化加工をした半導体デバイスに貫通ビア配線を形成する工程を示すものであり、図4(d)の次の工程を示す断面図である。

【図6】本発明の第1の実施の形態による半導体装置を示すものであり、マザー基板に薄型半導体デバイスチップを積層3次元実装した状態を示す断面図である。



13

【図 7】本発明の第 2 の実施の形態による半導体装置を示すものであり、マザー基板に薄型半導体デバイスチップを積層 3 次元実装した状態を示す断面図である。

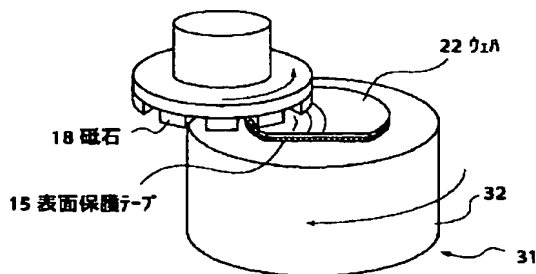
【図 8】本発明の第 2 の実施の形態による半導体装置の製造方法において薄型化加工したウェハの仕上げ加工に用いるスピネッチング装置の概略を示す断面図である。

【図 9】図 9 (a) ~ (e) は、Al 電極パッド上にはんだボールパンプを形成する方法を示す断面図である。

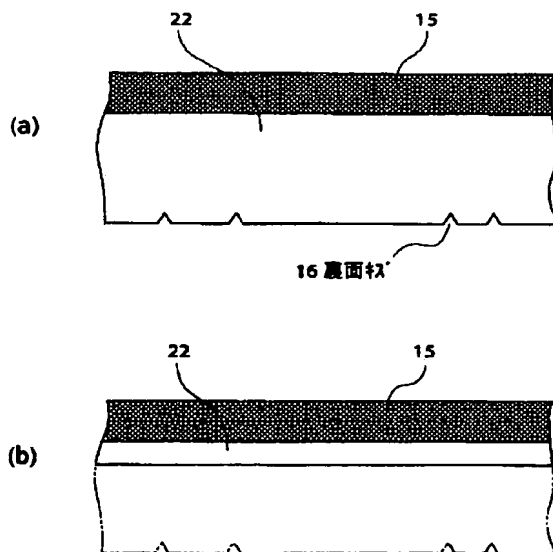
【符号の説明】

1…半導体基体（シリコン基板）、2…Al 電極パッド、3…表面保護膜（ポリイミド）、3a…開口部、4…BLM膜、5…開口部、6…フォトリソ膜（レジストパターン）、7…薄型半導体デバイスチップ、8…

【図 1】



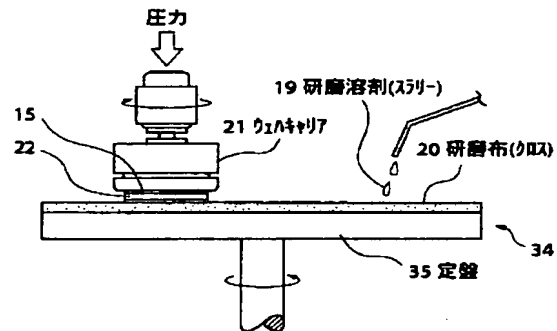
【図 3】



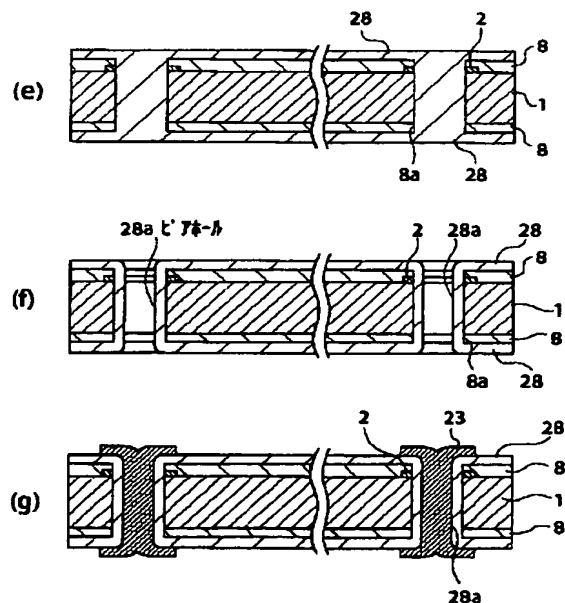
14

エポキシ系樹脂、8a…ビアホール（スルーホール）、9…ACF（異方性導電膜）、10…はんだボールパンプ、11…Cuランド、12…Auワイヤパンプ（スタッドパンプ）、13…はんだ蒸着膜、14…高融点はんだボールパンプ、15…表面保護テープ、16…裏面キズ、18…砥石、19…研磨溶剤（スラリー）、20…研磨布（クロス）、21…ウェハキャリア、22…シリコンデバイスウェハ、23…貫通ビア配線プラグ、24…薬液、25…プリント配線基板（マザー基板）、28…エポキシ系樹脂、28a…ビアホール（スルーホール）、31…機械研削装置、32…定盤、34…化学的機械研磨装置、35…定盤、40…プロセスチャンバー、41…ウェハチャック。

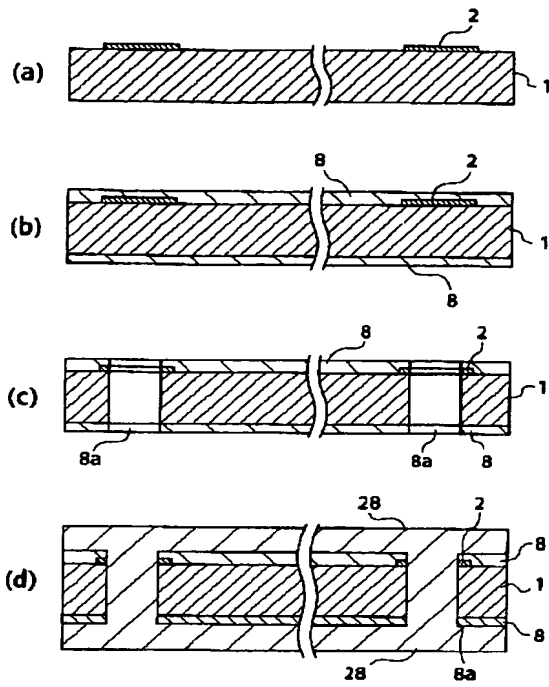
【図 2】



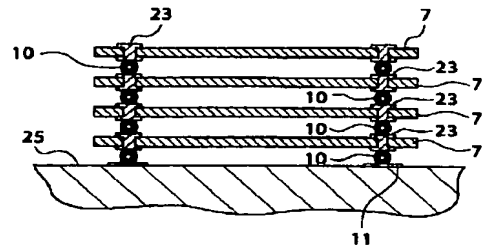
【図 5】



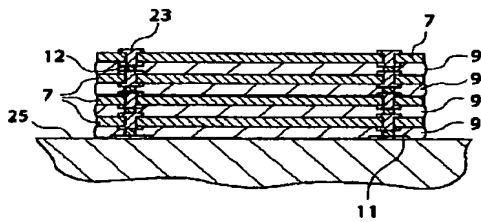
【图4】



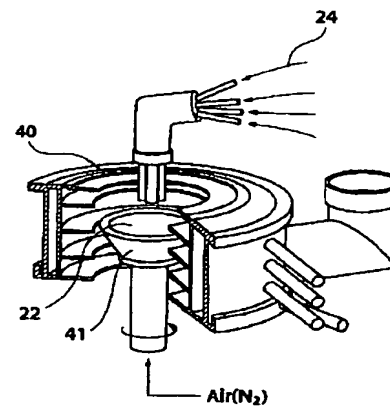
【図 6】



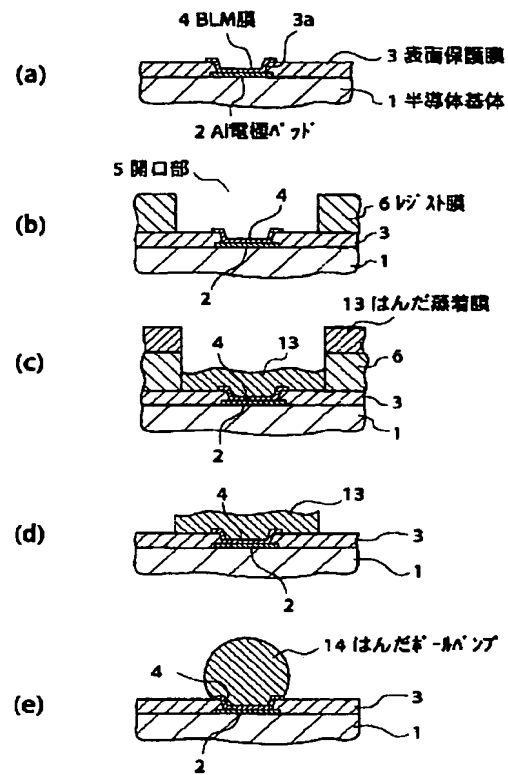
【図 7】



【图8】



【図 9】



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
H01L 25/18

識別記号

F I

テマコード (参考)